



多晶片整合封裝之 Power/Ground Via 自動生成方法 Automated Power/Ground Via Generation Method for Multi- Chip Integration Packaging

版 別：第 1.0 版

文件編號：



Contents

- 1. Duration**
- 2. Introduction**
- 3. Preliminary**
- 4. Problem Formulation**
- 5. Data Generation**
- 6. Training Configuration**
- 7. Experimental Results**
- 8. Future work**



1. Duration: 2026.10.20 ~ 2026.12.15

I. 計畫費用新台幣 60 萬

- 於2026年12月15日前完成交付一份研究成果報告，工研院支付60萬。

2. Introduction

本計畫建立高密度晶粒間互連的學習型 Via Map 生成流程。模型先依 Bump 幾何、Netlist 與擁塞特徵預測各 Net 的穿層深度，再生成 Via 座標，以柔性成本提示引導拆線重繞工具完成多層 RDL 連線。研究重點為利用初始 Via 配置減少繞線搜尋與迭代成本，並以最終連通性及 DRC 結果確認效益。

密集的晶粒間互連可能具有任意端點配對，交叉需求與局部擁塞使傳統逐次搜尋反覆遇到衝突。Via 配置同時影響層間連接與各層可用走線通道，因此需結合跨 Net 的深度安排與位置生成，並交由 Router 進一步協調與修正。

本研究採 Via-First 提示流程。生成 Via Map 提供可調整的候選位置；Router 仍保有移動 Via、改變走線及拆線重繞的自由。現有實驗以研究用 PathFinder 式 Router 驗證，後續再評估正式詳細繞線工具的串接與更大規模設計。



3. Preliminary

- 基於 A 的 200 I/O 規模繞線訓練資料建立

A*繞線演算法結合路徑成本與啟發式估計的搜尋演算法，依據已累積的搜尋成本及至目標的預估剩餘成本，決定優先探索的節點。在多層 RDL 繞線中，可將水平走線與垂直穿層表示為網格上的移動，並將線長、Via 使用及擁塞納入搜尋成本。

本研究以約 200 I/O 規模的晶粒間互連設計建立訓練資料，透過不同 Bump 配對與 Netlist 產生多樣化的繞線需求。以 A* 執行各 Net 的路徑搜尋，搭配擁塞協商與拆線重繞處理連線間的衝突，保留全部 Net 完成連通且通過研究用設計規則檢查的結果，作為 Ground Truth。由完整路徑擷取各 Net 的穿層深度、Via 座標及層間連接順序，提供後續模型的監督標註。考量較大規模設計取得完整合法解的成本，先於此規模建立訓練基礎，再以獨立測試評估模型的擴展能力。

- Transformer 模型

Transformer 為以注意力機制為核心的深度學習架構，將輸入轉換為特徵向量，透過自注意力（Self-Attention）建立不同輸入項目之間的關聯。多頭注意力（Multi-Head Attention）可從不同特徵空間整合資訊，並搭配前饋網路及位置編碼，形成包含上下文與序列順序的特徵



表示。採用因果遮罩時，模型可依據先前已生成的結果，逐步預測後續輸出。

本研究以每條 Net 作為輸入單位，整合 Bump 起終點座標、Fly Line 距離與方向、交叉統計及 RUDY 擁塞特徵。模型採自迴歸方式，依固定 Net 順序結合先前已配置的深度資訊，逐 Net 預測穿層深度，使層別配置能考量連線之間的相互影響，並提供後續 Via 座標生成所需的條件。

● Diffusion 生成模型

Diffusion 模型為透過前向加噪與反向去噪學習資料分布的生成模型。訓練時，對原始資料加入不同程度的高斯噪聲，使去噪網路學習各時間步的噪聲預測；推論時，則由隨機噪聲出發，經多次去噪逐步產生樣本。此機制可透過不同初始噪聲探索多種生成結果，適合具有多組候選解的配置問題。

本研究將 Via 座標表示為生成向量，並以 Transformer 預測的穿層深度、目標 Net 特徵及鄰近 Net 關聯作為生成條件。Diffusion 依據上述條件逐步生成對應的 Via 座標，形成多組候選 Via Map，再交由繞線工具進行路徑搜尋、衝突調整與合法性驗證，以評估生成配置對

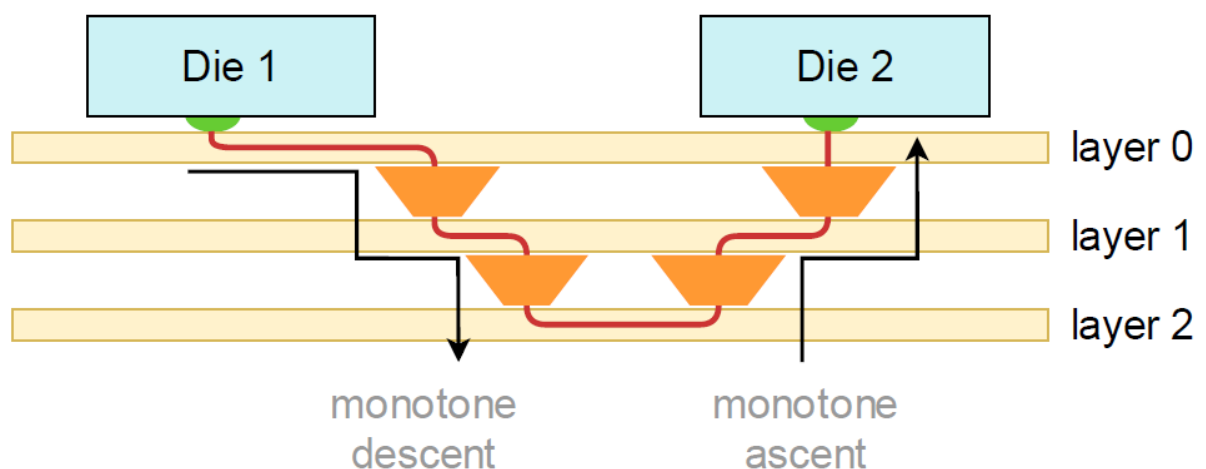
繞線成功率及效率的影響。

4. Problem Formulation

4.1 輸入與拓樸假設

輸入為兩個晶粒的 Bump 座標、任意配對的 Signal Netlist、多層 RDL 網格及研究用繞線規則。各 Net 的端點幾何、交叉統計與 RUDY 需求特徵共同構成條件資訊。

本研究以 Single-Direction-Change 拓樸簡化生成任務：路徑先單調下降至最深層，在該層完成橫向連線，再單調上升至另一端點。垂直方向只反轉一次。此限制是本研究的拓樸假設，正式工具的路徑可行性仍需依實際設計規則確認。



圖一 單次垂直方向反轉的路徑與 Via 連接示意



4.2 深度與 Via 座標輸出

給定 N 條 Net，模型先預測每條 Net 的最深穿層深度 L_n ，再生成 $2L_n$ 個 Via 的二維座標。下降與上升兩側各使用 L_n 個 Via；例如 $L_n = 2$ 時，共有四個 Via。固定長度座標向量以遮罩標示有效位置，深度、槽位順序及層間連接標記共同定義 Via Map。

串接資料	內容與用途
Net 識別與端點	保留 Net 與兩側 Bump 的對應關係。
穿層深度	L_n 決定有效 Via 數量 $2L_n$ 及最深連接層。
Via 座標與槽位	保留 x 、 y 、下降／上升順序及所連接的相鄰層。
座標定義與候選編號	記錄正規化轉換、格距、原點與所屬生成候選。
Router 提示參數	以 B 控制吸引強度，以 R 控制周邊作用半徑。



5. Data Generation

● Ground Truth Generation

資料採不同 $R \times C$ Bump 陣列，其中 R 、 C 均取 6 至 15，排除 15×15 ，共有 99 種 Layout，對應 36 至 210 條 Net。每種 Layout 產生 100 個案例，兩側 Bump 各自隨機打亂後配對，形成不同的任意排列互連。

Ground Truth 由無固定迭代上限的 PathFinder 式 Router 產生；資料只保留完整連通且通過研究用規則的參考解。每筆樣本擷取各 Net 的最深層、Via 槽位與座標，並依 RUDY 排序，供深度與位置模型共同使用。

資料項目	簡報所列設定
Layout 組合	Row、Column $\in \{6, \dots, 15\}$ ，排除 15×15 ，共 99 種。
每種 Layout 案例數	100 組隨機端點排列
總訓練資料	9,900 組，其中訓練 8,395 組、驗證 1,505 組。
Net 數量	36 至 210 條
繞線評估資料	370 組，60 至 210 條 Net，依規模分組。

表一、資料集組成



● Label Feature

深度模型的每 Net 輸入為 17 維特徵，另結合 RUDY 圖的 CNN 表示與配置歷史；位置模型以目標 Net 及鄰近 Net 的注意力上下文作為條件。報告需保存特徵順序、座標正規化方式與資料分割清單，讓模型輸出可還原至原始網格。

資料分割約為 85%/15%；本版使用簡報的實際筆數。正式成果需列出訓練、驗證與評估案例的識別清單，以確認資料分割關係。

表示項目	模型使用方式
端點幾何與方向	起終點位置、長度與方向等每 Net 靜態特徵。
交叉與需求統計	交叉統計、每 Net 的 RUDY 分數與全域 RUDY 圖。
深度標註與歷史	各 Net 的 GT 深度，以及排序中先前 Net 的深度。
位置標註與遮罩	GT Via 座標、下降／上升槽位，以及由深度決定的有效遮罩。

表二、訓練特徵



6. Training Configuration

	Transformer	Diffusion
Type	causal AR decoder	ctx enccoder + MLP denoiser
d_model	256, 4h, 2 layers	128, 4 heads
Input	17-D $\rightarrow$ Linear(17, 256)	Fourier(16); CNN 8x8 tokens
Output	depth, 6 classes	VIA_DIM=20
Denoiser	—	MLP 512 $\rightarrow$ 512 $\rightarrow$ 256 $\rightarrow$ 10
Diffusion	—	T=1000 cosine; DDIM 50

表三、訓練架構參數

Item	Depth	Diffusion
Optimizer	AdamW	AdamW
LR	5e-5	1e-4
Weight decay	5e-3	1e-4
Scheduler	CosWarmRestart	CosineAnnealing
Epochs / Batch	300 / 64	300 / 64
Loss	TF cross-entropy	MSE (ε -pred)

表四、訓練超參數



7. Experimental Results

● 基準與完整設計通過率

實驗以 370 組、60 至 210 條 Net 的案例，比較無提示 PathFinder 式 Router 與學習提示流程。Routability 指在測試預算內完成全部連線，且通過研究用 Router 的零 DRC 條件；未完成案例仍列入通過率分母。

規模與 Net 數	案例數	基準通過率	本方法通過率	迭代比	加速比
Small ≤ 90	84	100.0%	100.0%	0.42	2.4×
Mid 91–130	126	100.0%	100.0%	0.35	2.8×
Large 131–170	120	98.3%	100.0%	0.23	4.3×
Very Large > 170	40	72.5%	92.5%	0.13	8.0×
Overall	370	96.5%	99.2%	0.29	3.44×

表五、各規模的通過率與迭代效率

整體通過率由 96.5% 提升至 99.2%，增加 2.7 個百分點；最大規模組由 72.5% 提升至 92.5%。主要表格列出整體迭代比 0.29 與加速比 3.44×，較大規模的收益較高。仍有未完成案例，需保留失敗分析。



- 特徵消融與候選數

移除自迴歸後，深度 MAE 約增加 10%，加速比降至 2.34x。移除 RUDY 時 MAE 略低，Router 加速比卻下降，顯示特徵效益需由下游繞線結果判定。MAE 的量測單位為深度層數。

Ablation	K-MAE	Δ MAE	Speed up
All features	0.411	—	3.44
No crossing	0.411	+0.1%	2.75 (-20%)
No RUDY	0.407	-0.8%	2.73 (-19%)
No geometry	0.438	+7.8%	2.53 (-26%)
No AR L _i	0.451	±10.0%	2.34 (-36%)

表六、各方法移除後的差異比較表



- 推論與 Router 時間

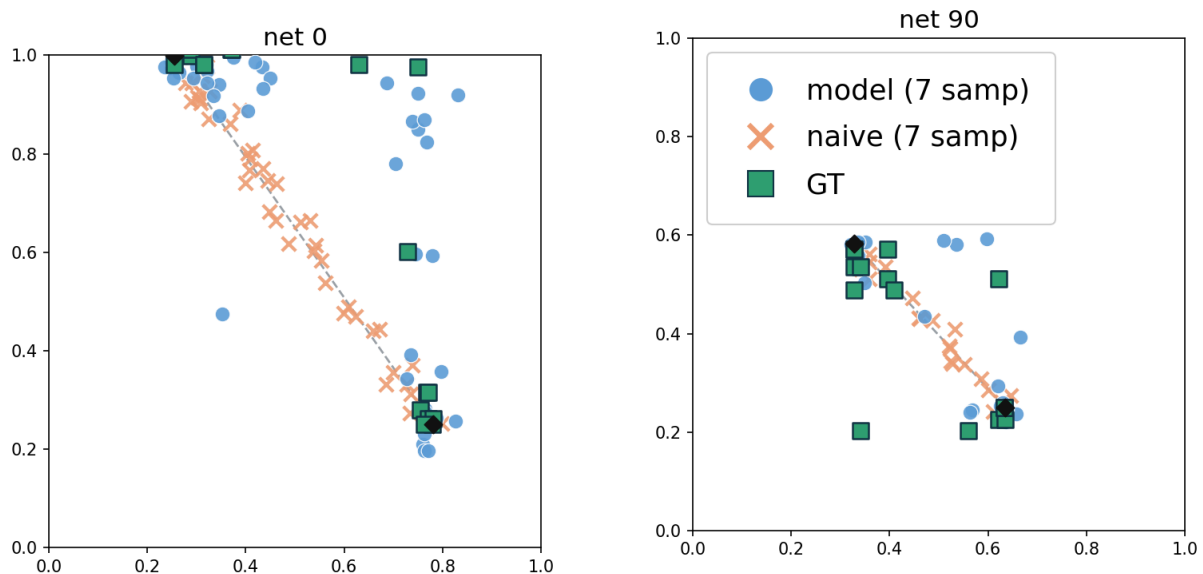
規模	GPU 秒	CPU 秒	GPU 占比
Small	0.64	4.3	12.9%
Mid	0.27	10.6	2.5%
Large	0.27	63.9	0.4%
Very Large	0.37	355.2	0.1%

表七、GPU 推論與 CPU Router 時間統計

GPU 占比為 $\text{GPU} / (\text{GPU} + \text{CPU})$ ，數值依簡報整理。大型案例由 CPU Router 時間主導；小型案例的推論占比較高。此表與加速比表應連同各自的計時範圍與設定保存。

- Via 座標候選與規則式配置比較

Diffusion 候選可依端點幾何、鄰近 Net 與深度條件形成不同的位置分布。簡報以 flyline 周邊的 Naive 候選作比較；兩者皆產生七組候選，再由相同的提示式 Router 評估。

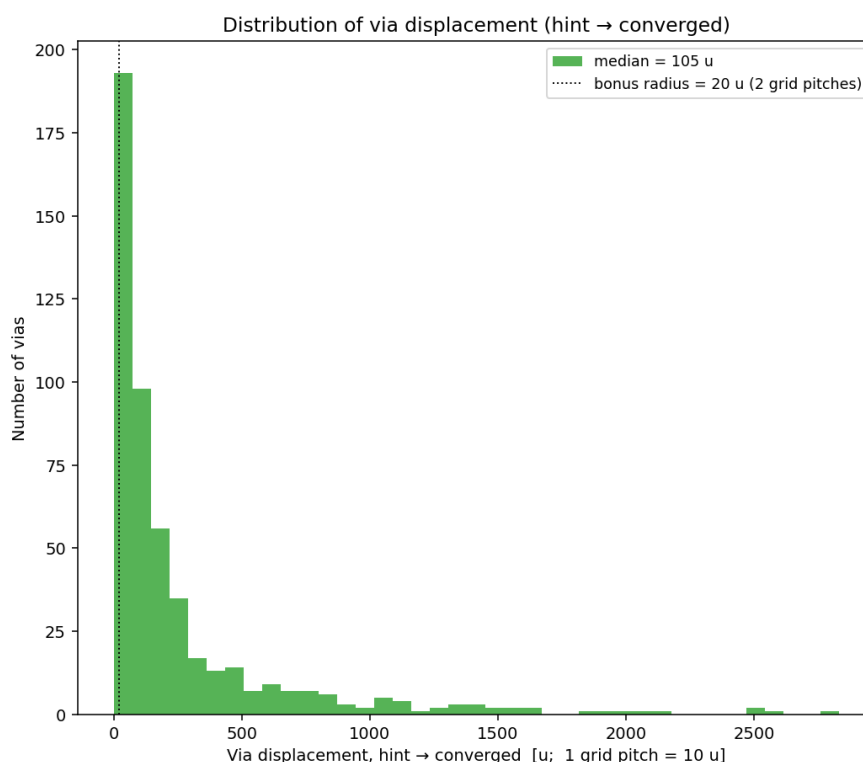


圖二、bump_13x14_43 的 Net 0 與 Net 90 Via 候選比較

本圖取原始六個子圖中的兩個完整子圖以提高辨識度，保留座標軸與原始圖例。藍點為模型候選、橘叉為 Naive 候選、綠方塊為 GT、黑菱形為 Bump，灰色虛線為 flyline；座標為正規化值。

● 生成提示與最終 Via 的位移

最終 Via 可偏離提示位置。簡報的位移統計使用提示半徑 20u，對應兩個網格 Pitch；其中一個 Pitch 為 10u。以下保留來源的 u 單位，未將其換算為實際製程長度。



圖三、最終 Via 相對生成提示的位移分布

統計量	結果	距離門檻	門檻內比例
中位數	105u	20u	15.0%
平均值	231u	50u	25.5%
中位數／提示半徑	5.25	100u	45.6%
超過 20u 的比例	85.0%	200u	62.2%

表八、Via 位移統計



多數最終 Via 超出初始吸引半徑，顯示提示能引導早期搜尋，

Router 仍可進行較大幅度調整。位移並不單獨代表生成失敗；需配合完成率、迭代成本與最終 DRC 解讀。

8. Future Works

目前已完成 Die-to-Die Signal Via Generation，可於詳細繞線前預先規劃訊號穿層位置與 Via 配置。然而，傳統繞線流程多於 Routing 過程中才逐步決定 Via 位置，Signal、Power 與 Ground 亦常採分階段處理，容易造成局部空間競爭、Via 過度集中，並增加後續 Rip-up & Reroute 與設計反覆調整的成本；當 I/O 數量與封裝密度提升時，此問題將更加明顯。因此，下年度將進一步開發依供電負載與訊號回流路徑需求之 Power/Ground Via Generation，並與既有 Signal Via 技術整合，建立完整的 Signal/Power/Ground Via Map。隨著 Chiplet、高密度 I/O 與異質整合封裝持續發展，透過繞線前期即完成多屬性 Via 的整體規劃，可降低後段繞線複雜度與資源衝突，並作為 Via-First Routing 與自動化封裝佈局技術持續發展的重要基礎。.